

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298144

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

H01L 23/50
H01L 21/56
H01L 23/28
// H01L 25/07
H01L 25/18

(21)Application number : 2000-111466

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR
LTD

(22)Date of filing : 13.04.2000

(72)Inventor : NAKAJIMA MAKOTO
FUJITA NAOKI
MIKAMI AKIO

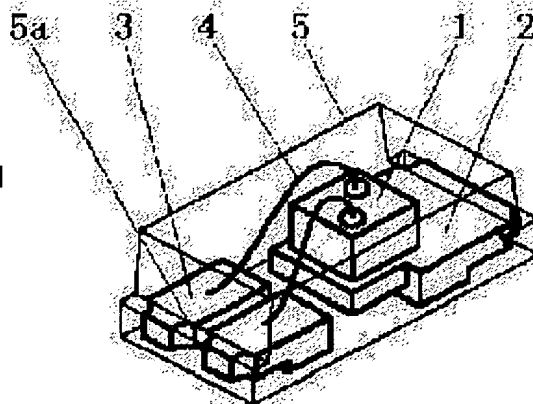
(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a crack at a joining face between the metal and resin when a plurality of semiconductor devices processed in a body is separated, and prevent clogging on a cutting blade.

SOLUTION: Two or more sets of islands or leads for each semiconductor device are arranged in a state of procession, and a lead frame made up of leads or islands arranged in an adjoining state in a line and continuously formed in a body is prepared. After each semiconductor element and each lead are joined electrically, sealed bodies made up of the semiconductor element, the island and the lead sealed in a body are arranged in a row and molded in resin as a body of cavity. Then, the resin and lead frame between the rows are cut by press, and the cavity between the lines of the sealed bodies is cut by blade to separate into each semiconductor device. The outer end of the island or the lead, exposed at a bottom face of the sealed body as an outer terminal of the semiconductor device, is exposed to two opposite side faces and not exposed to the other two side faces in the structure.

図 1



LEGAL STATUS

[Date of request for examination] 31.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3660854
[Date of registration]	25.03.2005
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-298144
(P2001-298144A)

(43)公開日 平成13年10月26日(2001. 10. 26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 23/50		H 0 1 L 23/50	K 4 M 1 0 9
	21/56	21/56	B 5 F 0 6 1
	23/28	23/28	T 5 F 0 6 7
// H 0 1 L 25/07		25/04	A
			C
審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く			

(21)出願番号 特願2000-111466(P2000-111466)

(22)出願日 平成12年4月13日(2000. 4. 13)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233527

日立東部セミコンダクタ株式会社

群馬県高崎市西横手町1番地1

(72)発明者 中嶋 誠

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

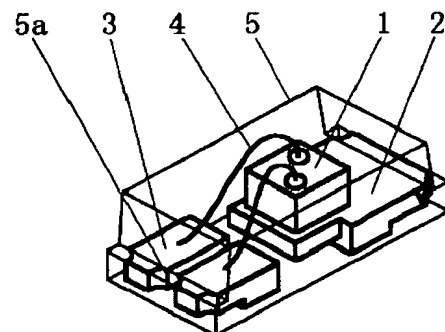
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 一体に形成した複数の半導体装置を分離する際に、金属と樹脂との接合面に亀裂の生じるのを防止し、切断に用いるブレードの目づまりを防止する。

【解決手段】 個々の半導体装置に用いられるアイランド或いはリードの組を行列状に複数組設け、行方向に隣接するアイランド或いはリードを連続させて一体に形成したリードフレームを用意し、前記夫々の半導体素子と前記リードとを電気的に接続し、半導体素子、アイランド及びリードを封止する前記封止体を、列毎に複数を一體に一つのキャビティとして樹脂モールドし、前記封止体の列間の樹脂及びリードフレームをプレス切断し、前記封止体の行間のキャビティをブレード切断して個別の半導体装置に分離して、封止体底面にて露出し半導体装置の外部端子となるアイランド或いはリードの外端部が、前記封止体の相対する2側面に露出し、前記2側面と直交する他の2側面には露出していない構成とする。

図 1



1

【特許請求の範囲】

【請求項1】 アイランドに固定した半導体素子とリードとを接続し封止体によって封止した半導体装置において、

前記アイランド或いはリードが封止体底面に露出して半導体装置の外部端子となり、このアイランド或いはリードの外端部が、前記封止体の相対する2側面に露出し、前記2側面と直交する他の2側面には露出していないことを特徴とする半導体装置。

【請求項2】 前記アイランド或いはリードの外端部の下面或いは外端部の側面角部の少なくとも何れかに凹部が設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記アイランド或いはリードの外端部が露出している前記封止体の相対する2側面に平坦部が設けられていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記アイランド或いはリードの外端部が露出している封止体の相対する2側面に沿った方向に隣接する複数組のアイランド及びリードが同一の封止体に封止され、夫々のアイランドに同種又は異種の半導体素子が固定されていることを特徴とする請求項1乃至請求項3の何れか一項に記載の半導体装置。

【請求項5】 アイランドに固定した半導体素子とリードとを接続し封止体によって封止した半導体装置の製造方法において、
個々の半導体装置に用いられるアイランド或いはリードの組を行列状に複数組設け、行方向に隣接するアイランド或いはリードを連続させて一体に形成したリードフレームを用意し、このリードフレームの各アイランドに夫々半導体素子のダイボンディングを行なう工程と、
前記夫々の半導体素子と前記リードとを電気的に接続する工程と、
半導体素子、アイランド及びリードを封止する前記封止体を、列毎に複数を一に一つのキャビティとして樹脂モールドする工程と、
前記封止体の列間の樹脂及びリードフレームをプレス切断する工程と、
前記封止体の行間のキャビティをブレード切断して個別の半導体装置に分離する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に、底面端子型の半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置では、微細化の進展によって、より多くの回路を単一の半導体チップに搭載する高集積化が進められている。しかしながら、半導体

2

集積回路を構成する全ての素子を単一チップに集積した場合には、モデルチェンジ等に伴う些細な仕様変更の度に、集積回路の再設計を行なうこととなり、迅速な対応が困難となる。そこで、こうした軽微な変更に対応するために、トランジスタ等回路素子の一部を集積化せずに実装基板上で半導体集積回路に外付けする構成とし、この外付けする回路素子を変えることによって、同一の半導体集積回路装置を用いたままで軽微な変更に対応する方法が採用されている。

【0003】そして、半導体分野においては、顧客実装面積・容積縮小を目的とした個別半導体装置の薄型化・小型化が常に求められている。こうした単体の回路素子にも小型化が求められており、例えば単体のトランジスタでは、顧客要求により外形寸法1006（平面形状1mm×0.6mm）、或いは外形寸法0804（平面形状0.8mm×0.4mm）といった微小な半導体装置が求められている。

【0004】こうした半導体装置を製造する方法としては、例えば、特開平11-102924号公報に、セラミック又はガラスエポキシ樹脂の基板を用い、トランスファーモールド方式またはポッティング方式によって樹脂封止を行ない、封止後にダイシングにより切断・分離して個別の半導体装置を形成する技術が記載されている。

【0005】この技術では、半導体装置は、多層のセラミック基板の上面に形成された搭載部に、半導体素子のダイボンディングを行い、半導体素子の電極パッドとセラミック基板の電極端子とをボンディングワイヤにより接続し、前記電極端子が基板の底面に形成された外部端子と基板の内部配線によって接続され、半導体素子、基板の上面及び内側面、ボンディングワイヤを樹脂を用いた封止体によって封止してある。

【0006】この半導体装置の製造方法では、複数の半導体装置の基板が行列状に複数連続して形成されており、個々の半導体装置のダイボンディング・ワイヤボンディングが行なわれた後に、基板上面の複数の半導体素子及びボンディングワイヤ等を樹脂により一括して封止した後、ダイシングを用いて夫々切断し個別半導体装置を形成する。

【0007】この技術では、モールド時のゲート寸法に係らず、個別半導体の外形寸法の縮小が可能となる。しかし、セラミック基板のコストが従来のCu、42アロイ等を材料としたリードフレームに比べて高価であり、加えて基板表面には、金等の高価なメッキを導体として施さなければならないので製造原価が上昇する。また、セラミックは焼結材料の為、セラミック基板の焼成工程にて、焼成後の収縮誤差及び反りの問題が生じ、基板の歩留まり向上に限界がある等のデメリットが有り、更に、この結果、基板不具合部に不良処置（マーキング等）を施し、ダイボンディング時には不良部分にダイボ

50

3

ンドを行なわないように工夫する等の処理が増加することとなる。

【0008】また、セラミック基板を用いた場合、セラミックが脆性をもっているために、上下金型により挟持しクランプ圧力を付加した時点で、若干の基板の反りによっても破損するおそれがあるので、従来方式である金型を用いたスルーモールド方式の採用は困難であり、レジンを塗布する等の別方法を用いる必要がある。レジンを塗布する場合、塗布の厚み及び平坦度の制御が難しくなる等の問題点が残っている。更に、基板上面を一括して樹脂封止する為、樹脂の収縮作用により分割前に大きな反りを生ずる。更には、ダイシング方法等に依って切削切断したパッケージの側面（セラミックと樹脂との接合界面）より水分が進入し、完成品の長期信頼性に影響を及ぼす可能性が有る等の問題点が、発明者等により明らかとなった。

【0009】他に、例えば特開平10-313082公報には、リードフレームに複数の半導体素子を搭載し、トランスファーモールド方式又はポッティング方式を用いて一括樹脂封止し、ダイシングによって個別の半導体装置に切断・分離する方法が開示されている。

【0010】しかしながらこの方法では、基板上面を一括して樹脂封止する為、比較的広い面積を1つのキャビティとして封止することとなり、封止後に樹脂が硬化する際の収縮作用による応力によって、樹脂の分割前に大きな大きな反りやねじれが生じてしまう。加えて、半導体素子の搭載されるアイランド下面及びリード電極下面が、半導体装置下面に露出する為、個別半導体装置の封止体としては封止体下面部の絶縁範囲を広くすることが難しい。その結果として、実装基板の回路設計時にアイランド下面及びリード電極下面と配線との電気的ショート回避する配慮が必要となる。半導体装置の下に位置する基板領域に配線を通すことが難しくなり、回路設計の自由度が低下する。また、搭載する半導体素子がパッケージ寸法に近くなるに連れて、アイランド寸法を大きくする必要があり、アイランド部とリード電極との距離を十分に確保することが次第に困難となる。

【0011】更に、前記半導体装置外形の一部は、封止体の絶縁材料が硬化した後に切断された面によって構成されるため、切断面からの水分の進入による個別半導体装置の封止信頼性低下という問題が残っている。また、個別半導体装置に切断する際の作業性及び切断精度に関して十分な検討が為されていない等の問題点も有る。

【0012】

【発明が解決しようとする課題】こうした問題点を踏まえて、本発明者等は、個々の半導体装置に用いられるアイランド或いはリードの組を複数組一体に形成したリードフレームに、複数の半導体素子のダイボンディングを行ない、複数の半導体素子を列毎に一つのキャビティとして一体に封止体をモールドし、前記キャビティ及びリ

4

ードフレームを切断して、個別の半導体装置に分離する技術を発明し、特願平11-199897号として出願した。

【0013】この技術では、個別の半導体装置に分離する際に、キャビティの樹脂とリードフレームの金属をダイシングブレードを用いて同時に切断しているが、切断時の応力によって金属と樹脂との接合面に亀裂の生じることがある。この亀裂が大きい場合には半導体素子の接合界面又はワイヤボンディング接合部に達し不良品となり、亀裂が小さい場合にも温度サイクル・吸湿等の影響によって経時的に半導体装置の信頼性を低下させることがある。

【0014】また、ダイシングブレードによって金属を切断する場合には、特に銅等の比較的軟らかい金属の場合には、切断面にダレと通称される上下方向への変形が生じ、この変形が底面に設けられる外部電極の端部に生じた場合には、電極面の平坦度が低下し、実装不良を生じることがある。

【0015】また、用いるブレードは樹脂と金属とを併せて切断するのでブレードを何れかに最適化することができないため、銅等の比較的軟らかい金属をリードフレームに用いた場合等には、この切断の際にブレードに金属の目づまりが生じることがあり、場合によっては、こうした目づまりによって分離工程の進捗が影響を受けることがある。

【0016】本発明の課題は、こうした問題を解決し、微小な半導体装置の封止体を比較的容易に低コストで行ない得る技術の更なる信頼性及び生産性の向上を図ることにある。

【0017】本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0019】アイランドに固定した半導体素子とリードとを接続し封止体によって封止した半導体装置において、前記アイランド或いはリードが封止体底面にて露出して半導体装置の外部端子となり、このアイランド或いはリードの外端部が、前記封止体の相対する2側面に露出し、前記2側面と直交する他の2側面には露出していない構成とする。

【0020】また、その製造方法では、個々の半導体装置に用いられるアイランド或いはリードの組を行列状に複数組設け、行方向に隣接するアイランド或いはリードを連続させて一体に形成したリードフレームを用意し、このリードフレームの各アイランドに夫々半導体素子のダイボンディングを行ない、前記夫々の半導体素子と前記リードとを電気的に接続し、半導体素子、アイランド

5

及びリードを封止する前記封止体を、列毎に複数を一体に一つのキャビティとして樹脂モールドし、前記封止体の列間の樹脂及びリードフレームをプレス切断し、前記封止体の行間のキャビティをブレード切断して個別の半導体装置に分離する。

【0021】かかる本発明によれば、半導体素子寸法に近似した半導体装置（CSP：チップサイズパッケージ）に関し、個別半導体素子搭載基板として金属材料を用いたリードフレームの使用が可能となり、セラミック基板を用いた場合より安価に製造することができる。

【0022】また、半導体装置下面に、絶縁層を樹脂モールド方法により形成したことにより、実装基板上に形成された回路配線との電氣的短絡を防止することができる。

【0023】また、リードフレームをプレス切断するので、前記ダイシングによるダレの発生を防止することができるので、実装不良の発生を防止することができる。

【0024】更に、ブレードを用いた切断では樹脂のみを切断するので、用いるブレードを樹脂の切断に最適化することが可能となり、切断を円滑に進捗させることができる。

【0025】加えて、複数の半導体素子を列毎に一つのキャビティとして樹脂封止することによって、熱または樹脂の収縮作用による反りを防止しつつ、仕上がりが寸法精度の良い個別半導体装置を提供することが可能となる。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0027】（実施の形態1）図1は本発明の一実施の形態である半導体装置を封止体を透過して示す斜視図であり、図2は本発明の一実施の形態である半導体装置を示す斜視図及びその底面の投影図である。

【0028】本実施の形態の半導体装置では、単結晶シリコン等の半導体基板にFET等の所定の素子を形成した半導体素子1を、例えば金等のロー材によってアイランド2に固定し、半導体素子1とリード3とをボンディングワイヤ4によって接続してある。半導体素子1をダイボンディングするアイランド2には下面部内方及び外方に凹部が設けられ、リード3には下面部外方に凹部が設けられている。

【0029】半導体素子1、アイランド2、リード3の上面及び側面、ボンディングワイヤ4は、例えばエポキシ樹脂にフィラを混入させた封止樹脂を用いた封止体5によって封止され、前記下面部の凹部も封止体5によって覆われており、アイランド2及びリード3の外端部の下面或いは角部には凹部が設けられている。アイランド2の上面と半導体素子1の裏面電極とは導電性の接続が

6

されており、アイランド2の下面及びリード3の下面が封止体5の底面から選択的に露出して半導体装置の外部電極となる。

【0030】封止体5の短手方向に沿った側面（以下、短側面という）下部にはわずかに張出した平坦部5aが形成されており、この平坦部5aではアイランド2及びリード3の端部上面及び外端部が露出しているが、アイランド2或いはリード3の端部は、封止体5の長手方向に沿った側面（以下、長側面という）には露出していない。

【0031】封止体5から露出して外部電極となるアイランド2の部分及びリード3の部分の厚さは、封止体5から露出しないアイランド2の部分及びリード3の部分の厚さよりも厚い構造となっており、アイランド2の下面内方に凹部を形成し、樹脂封止を行うことによって半導体装置の下面部電極間の絶縁層を広げることが可能となり、実装基板の回路配線との電氣的短絡防止ができる。この結果、半導体装置実装基板設計時、パッケージ下面絶縁部に回路配線を配置することが可能となり、実装基板の縮小化に寄与することができる。

【0032】また、アイランド2とリード3との下面部外方に凹部を設け、外端の下面を夫々内側に後退させることによって、半導体装置の底面では、アイランド2及びリード3の電極として機能する露出面が封止体5と同一平面となり、かつその周囲が封止体5によって囲まれている。このため外部電極はアイランド2及びリード3の露出面に施されたメッキの厚さ分周囲の封止体5から均等に浮き出た形状となり、ハンダ付け等による実装基板への実装を確実にこなうことができる。

【0033】続いて、本実施の形態の半導体装置の製造方法について、図3乃至図14を用いて説明する。

【0034】図3は本実施の形態の半導体装置の製造に用いられるリードフレームを示す平面図であり、図4は図3中のa部を拡大して示す平面図及び縦断面図である。リードフレーム6には、図4中に破線で示す封止体5形成領域毎に、個別の半導体装置となる夫々のアイランド2及びリード3が、行列状に連続的に形成してある。夫々のアイランド2及びリード3は、行方向にアイランド2とリード3とが交互に配置され、列方向には隣接する封止領域間に即ち封止領域外で連結されている。

【0035】リードフレーム6としては、銅系または鉄系の材料を用いるので、多層セラミック基板を用いる場合に比べて、半導体素子寸法に近似した半導体装置の材料費を抑制することができる。

【0036】先ず、リードフレーム6のアイランド2上に半導体素子1が適切な接合ロー材によってダイボンディングされる。この際、リードフレーム下面のアイランド2の凹部に対応させて凹凸を設けたヒートブロックによって接触加熱されることによってリードフレーム6は

7

適切な接合温度条件下に保持される。ダイボンディング後、ボンディングワイヤ4により半導体素子1の電極パッドとリード3の上面とを電氣的に接続するワイヤボンディングを行なう。このダイボンディング及びワイヤボンディング作業はリードフレーム6に配置した全てのアイランド2及びリード3に対して施される。

【0037】こうしてダイボンディング及びワイヤボンディングを完了したリードフレーム6をトランスファーマールド装置の下金型にセットし、その後、上金型によりリードフレーム6を挟み込み、封止樹脂を注入し、各列を夫々一つのキャビティ7として、その列に並ぶ複数の半導体素子1を一体に封止する樹脂封止を行なう。

【0038】この樹脂封止では、リードフレーム6下面の凹部にも樹脂が十分に充填される様に行い、この凹部に充填された封止樹脂は、個別半導体装置に分割した後は、半導体装置底面の絶縁層の役割を果たす。各キャビティ7に充填した半導体封止用樹脂を硬化させた後、次工程前に不要な樹脂部分であるランナ7a及びゲート7bを切除する。この状態の平面図を図5に示し、図5中のa部を拡大した平面図及び縦断面図を図6に、斜視図を図7に示す。なお、図5中ではキャビティ7、ランナ7a及びゲート7b以外の樹脂が充填される部分に斜線を付してある。

【0039】本実施の形態では一列に並んだ複数の封止体5を列毎に一つのキャビティ7として樹脂封止することによって、封止樹脂の硬化時に生ずる収縮に影響されて、リードフレーム6が行方向に湾曲或いは反って、全体が変形するのを防止することができる。この結果、リードフレーム6の大型化が可能となり、取得数を増やすことができる。なお、キャビティ7列間にキャビティ7と平行にリードフレームの略全幅にわたってスリットを設けることによって、熱応力或いは封止後の樹脂硬化の過程において生じるレジン収縮等の変形を抑制することも可能である。

【0040】また、例えば一つの列に形成される半導体装置の数が多いためにキャビティ7が長くなると列方向にレジンの反りが生じる場合がある。そうした場合には、キャビティ7を列方向に分割する。即ち、複数の半導体装置を列毎に樹脂封止するキャビティ7を列方向に複数形成する構成とすることも可能である。

【0041】次に、アイランド2及びリード3のキャビティ7から露出する部分が半導体装置の外部電極となるリードフレーム6下面にハンダ等のメッキを施す。このメッキに先立って液体ホーニング等の処理によるメッキ付着面に付着した樹脂等の異物の除去を行う。この浄化処理によって封止体5とリードフレーム6との間に隙間が生じることがある。また、リードフレーム6を、予めパラジウムメッキ等の方法を用いて比較的軟質な材料で予め覆っておくことも可能であり、このような処理を施すことによって、この軟質材料が謂わばバックグランドとし

8

て機能し、モールド時に樹脂が外部電極面へ付着するのを防止することができる。このパラジウムメッキ等の方法を用いれば、前記異物除去処理を省略することが可能であり、封止体5とリードフレーム6との間に前記異物除去処理によって隙間が生じるのを防止することができる。

【0042】更に、基板実装の際のハンダ付け性を向上させるため、外部電極面にハンダメッキ等のメッキ処理を行なう。前記のように予めリードフレームにパラジウム等がメッキされている場合には、パラジウムメッキがハンダ付け性に優れているため、外部電極面のハンダ等のメッキ処理を省略して、工程数を削減することも可能である。なお最近では、パラジウムメッキのハンダ付け性を更に高めるため、パラジウムメッキ表面に金をフラッシュ処理する場合もある。

【0043】次工程にて、封止樹脂表面等に製品名等を刻印（マーキング）した後に、列毎に一つのキャビティ7として封止されている複数の半導体装置を個別の半導体装置に分割する。その手順を以下に説明する。

【0044】先ず、図8の(a)に示すように、各キャビティ7の平坦部を上金型8及び下金型9で挟み、切断金型10によってプレス切断する。この際、また、切断部分のリードフレーム6は下面に凹部が設けられて切断面積が小さくされているため、容易にキャビティ7樹脂とリードフレーム6の金属とをプレス切断することができる。プレス切断によってキャビティ7列間の不用部分を除去した状態を図8の(b)及び図9に示す。

【0045】また、こうした切断によって、切断面に切断方向に沿って小さな突起（バリと通称されている）が生じることがある。このような突起が実装面である底面に向かって形成された場合には、半導体装置と実装基板との間に隙間が生じ、実装不良となることがある。本実施の形態では、半導体装置のアイランド2及びリード3の下面部外方に、夫々凹部を設けてあるのでアイランド2或いはリード3の端部は、三方を封止体5によって挟まれ上面を上金型8によって抑えられているために、切断の際に前記突起が生じにくくなり、突起が生じた場合にも半導体装置の底面から突出することがない。更に、本実施の形態では底面側から切断金型10がプレス切断するため、このようなバリが生じたとしても、突起が底面側に生じないため実装不良の原因とはならない。また、アイランド2及びリード3が、前記凹部によって封止体5に強固に保持されることとなり、外部より加えられた力によってアイランド2或いはリード3が剥離・脱落或いは接合部分への亀裂の発生等が生じにくくなる。

【0046】なお、切断部分の樹脂がリードフレーム6と比べて薄い場合、或いは切断部分の金属部分の断面積が大きい場合等には、リードフレーム6とキャビティ7との間に剥離の生じる可能性が高くなる。こうした場合には、このプレス切断に先立って、図10に平面図を図

9

11に部分拡大平面図及び断面図を示すように、切断部分に溝11を形成しておいてもよい。溝11としては、アイランド2或いはリード3の薄い部分を切断し、その凹部に充填された封止体5の樹脂が露出する程度が望ましい。この溝11を設けることによって、図12の

(a)に示すように金型8、9、10を用いたプレス切断によってキャビティ7に加えられるストレスを更に低減させることができる。また、封止に用いられる樹脂は金属と比較して脆性体であるため、溝を設けることによって、プレス切断が容易になる。こうした溝は、図12の(b)に示すように、ブレード12を用いたダイシングによって容易に形成することができる。

【0047】次に、粘着性のダイシングテープにリードフレーム6下面(外部電極面)を貼り付け、更にその周囲をリング状のテープホルダーに固定する。ダイシングテープとしては、後の剥離工程で粘着成分がリードフレーム6下面に残り難いもの、例えば紫外線照射型のテープ(所謂UVテープ)が望ましい。続いて、ダイシング位置合わせスリットを基準としてダイシング装置(ウエーハダイシング装置の流用が可能:図示せず)によって、図13及び図14に示すように、個別半導体装置に切削分割する。切削方法としては、半導体ウエーハ切断時に常用されている所謂フルカットダイシング方法を用い、ブレード12を用いてキャビティ7は完全に切断するが、ダイシングテープ12は部分的に切断し一体化したままとする。リードフレーム6に切断目標となる位置合わせ認識マークとしてスリット或いは貫通孔(図面中には記載せず)を施しておくことによって、樹脂封止、フレームハンダメッキを施した後、ダイシングにて個別半導体装置に切断する過程において、切断寸法精度を保証することができる。

【0048】このダイシングでは、キャビティ7の樹脂のみを切断する。樹脂は金属と比較して脆性体であるため、樹脂のみの切断はダイシングを迅速に行なうことが可能であり、また、切断する樹脂に最適化したブレード12を用いることが可能となるため、ブレード12の目づまりも生じにくい。更に、ダイシングテープに貼り付けた状態でフルカット方法により切断するため、切断後の個別半導体装置が飛散することなく、その位置関係もずれることはない為、その後の扱いが容易になる。

【0049】また、従来のスルーモールド方式により、半導体素子別にキャビティを形成する場合、封止体サイズが小さくなる程、封止樹脂導入路であるゲートを小さく構成しなければならず、レジン注入の観点からその限界寸法がある。本方式によれば、後に不要部分を切削切断すれば良いので、ゲートのサイズによって制約されることがない。また、多層セラミック基板を用いた場合との比較では、セラミックが脆性材料である点或いは基板焼成過程において若干の変形が生じている点を考慮すると、従来の金型を用いたトランスファーモールド方法に

10

より樹脂封止することは困難であるが、本願発明の如くリードフレームを用いた場合にはこのような懸念はない。

【0050】この後、各半導体装置の電気的特性を測定する。この測定では、分離された各半導体装置が接着された状態の前記テープホルダーを、複数枚一組にリングカセットに入れた状態で選別工程のハンドリング装置のローダー部にセットする。セットされたテープホルダーは、一枚毎にハンドリング装置のローディング部に移送する。ハンドリング装置は、従来のダイレクトピックアップ方式のダイボンダと同様の構成であり、リングホルダと協働する個別半導体装置突き上げ機構を具備し、予め設定された座標位置または認識装置の認識結果から指定された座標位置データに基づき、突き上げ動作を行いダイシングテープより所定の半導体装置を引き剥がす。なお引き剥がす際には、紫外線照射型のダイシングテープを用いた場合は、紫外線照射を適量行い半導体装置底面とダイシングテープとの接合強度を弱めることによって、粘着成分が半導体装置底面に残存するのを防止することができる。

【0051】(実施の形態2)図15は本発明の他の実施の形態である半導体装置を示す斜視図であり、(a)はその外形を、(b)は封止体を透過して内部を示してある。

【0052】本実施の形態の半導体装置では、単結晶シリコン等の半導体基板にFET等の所定の素子を形成した半導体素子1を、例えば金等のロー材によってアイランド2に固定し、半導体素子1とリード3とをボンディングワイヤ4によって接続してある。半導体素子1をダイボンディングするアイランド2には下面部内方及び外方に凹部が設けられ、リード3には下面部外方に凹部が設けられている。

【0053】半導体素子1、アイランド2、リード3の上面及び側面、ボンディングワイヤ4は、例えばエポキシ樹脂にフィラを混入させた封止樹脂を用いた封止体13によって封止されているが、本実施の形態の封止体13では、単一の封止体13に半導体素子1、アイランド2及びリード3の組が2組封止されている点が、前述した実施の形態とは相異しているが、他の構成は前述した実施の形態と同様である。

【0054】例えば、封止体13の短手方向に沿った側面(以下、短側面という)下部にはわずかに張出した平坦部13aが形成されており、この平坦部13aではアイランド2及びリード3の端部上面及び外端部が露出しているが、アイランド2或いはリード3の端部は、封止体13の長手方向に沿った側面(以下、長側面という)には露出しない構成となっている。このため、長側面側に隣接して形成される複数の半導体装置を、図16に示すようにブレード12による切断位置を変更するだけで、金型変更等をするこなしに、一体化することが可能となる。

11

【0055】封止される半導体素子としては、同種の素子を搭載して耐圧或いは許容電流を向上させることが可能となり、更に異種の素子、例えば発振回路の発振用の素子と増幅用の素子とを搭載してもよい。そして搭載した素子は、ボンディングワイヤ4によって互いにアイランド2或いはリード3を接続して必要な接続を行ない、回路としての配線長を短縮することも可能である。また、単一の封止体12によって封止する、半導体素子1、アイランド2及びリード3の組を3組以上とする構成も可能である。

【0056】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0057】例えば、以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるトランジスタについてレジン封止によるCSP (Chip Size Package) 技術を適用した場合について説明したが、それに限定されるものではなく、本発明は、ダイオード或いはQFN型半導体装置等の他の形式の半導体装置にも広く適用が可能である。

【0058】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明によれば、半導体素子寸法に近似した半導体装置(CSP)に関し、個別半導体素子搭載基板として金属材料を用いたリードフレームの使用が可能となるという効果がある。

(2) 本発明によれば、微小な半導体装置の封止体を一括モールドによって樹脂封止することができるという効果がある。

(3) 本発明によれば、上記効果(1)(2)により、半導体装置を安価に製造することができるという効果がある。

(4) 本発明によれば、ダイシングによって、切断面に切断方向に沿って突起が生じるのを防止することができるという効果がある。

(5) 本発明によれば、上記効果(4)により、実装不良の発生を防止することができるという効果がある。

(6) 本発明によれば、樹脂のみをブレード切断するため目づまりが生じにくく、分離工程の効率を向上させることができるという効果がある。

(7) 本発明によれば、金属と樹脂との接合界面に亀裂が入りにくいので、耐湿性が向上するという効果がある。

(8) 本発明によれば、複数の半導体素子を単一の封止体に封止した半導体装置を、金型の変更なしに製造する

12

ことができるという効果がある。

(9) 本発明によれば、半導体装置下面に、絶縁層を樹脂モールド方法により形成したことにより、実装基板上に形成された回路配線との電氣的短絡を防止することができるという効果がある。

(10) 本発明によれば、複数の半導体素子を列毎に一つのキャビティとして樹脂封止することによって、熱または樹脂の収縮作用による反りを防止しつつ、仕上がり寸法精度の良い個別半導体装置を提供することが可能となるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置を封止体を透視して示す斜視図である。

【図2】本発明の一実施の形態である半導体装置を示す斜視図及びその底面の投影図である。

【図3】本実施の形態に用いられるリードフレームを示す平面図である。

【図4】図3中のa部を拡大して示す平面図及び断面図である。

【図5】本発明の一実施の形態である半導体装置を製造工程毎に示す平面図である。

【図6】図5中のa部を拡大して示す平面図及び断面図である。

【図7】本発明の一実施の形態である半導体装置を製造工程毎に示す斜視図である。

【図8】本発明の一実施の形態である半導体装置を製造工程毎に示す断面図及び斜視図である。

【図9】本発明の一実施の形態である半導体装置を製造工程毎に示す平面図である。

【図10】本発明の一実施の形態である半導体装置を製造工程毎に示す平面図である。

【図11】図10中のa部を拡大して示す平面図及び断面図である。

【図12】本発明の一実施の形態である半導体装置を製造工程毎に示す断面図及び斜視図である。

【図13】本発明の一実施の形態である半導体装置を製造工程毎に示す平面図である。

【図14】本発明の一実施の形態である半導体装置を製造工程毎に示す斜視図である。

【図15】本発明の他の実施の形態である半導体装置を示す平面図である。

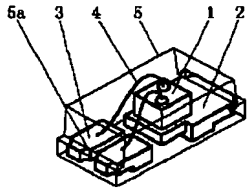
【図16】本発明の他の形態である半導体装置の製造方法を示す斜視図である。

【符号の説明】

1…半導体素子、2…アイランド、3…リード、4…ボンディングワイヤ、5、13…封止体、6…リードフレーム、7…キャビティ、7a…ランナ、7b…ゲート、8…上金型、9…下金型、10…切断金型、11…溝、12…ブレード。

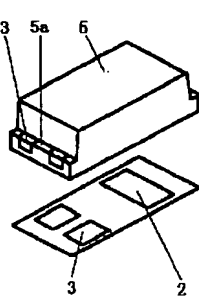
【図1】

図 1



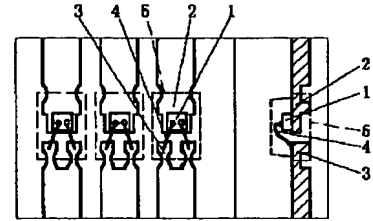
【図2】

図 2



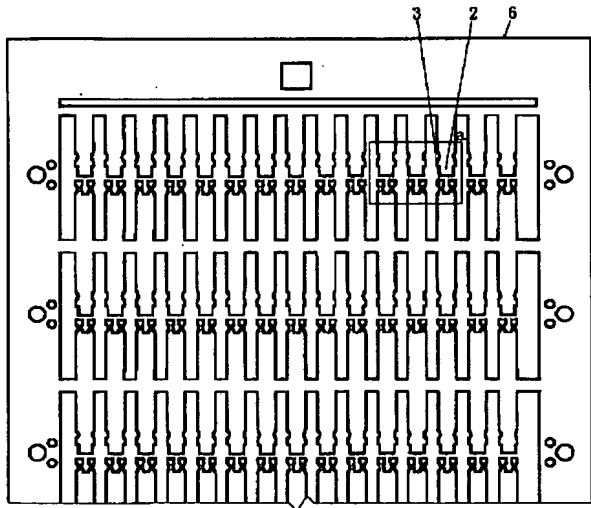
【図4】

図 4



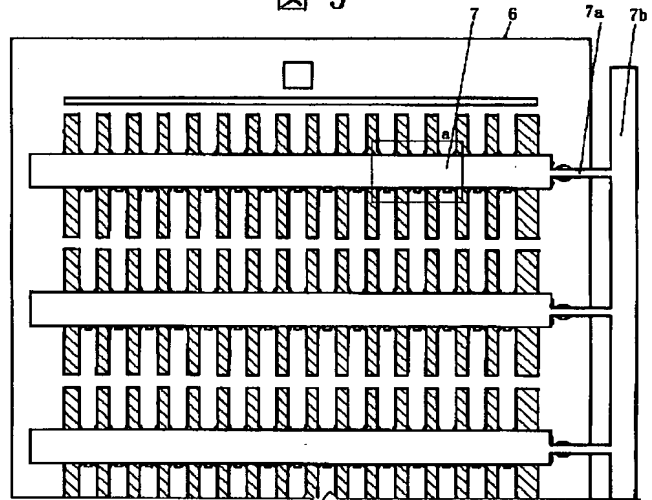
【図3】

図 3



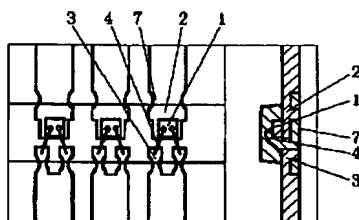
【図5】

図 5



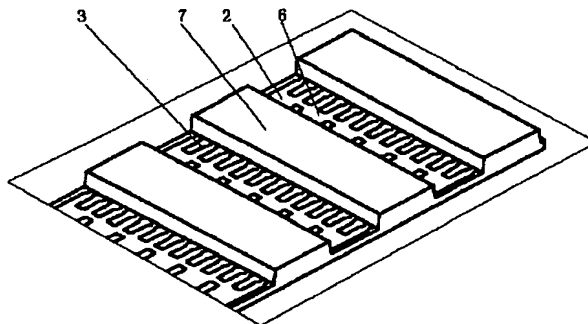
【図6】

図 6



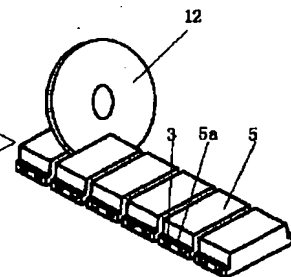
【図7】

図 7



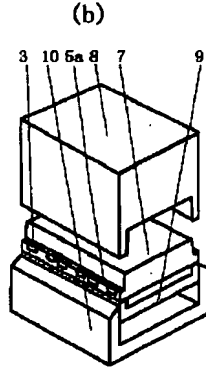
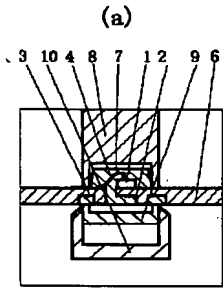
【図14】

図 14



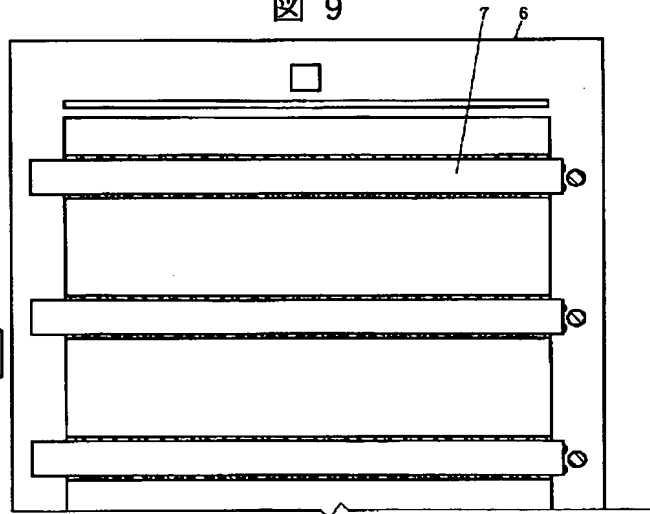
【図8】

図 8



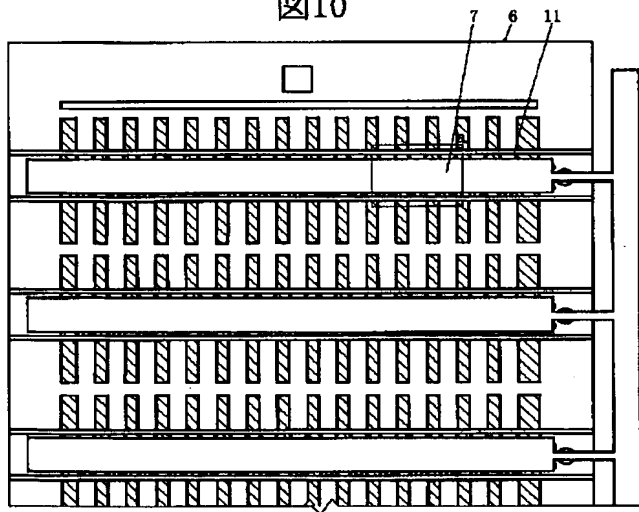
【図9】

図 9



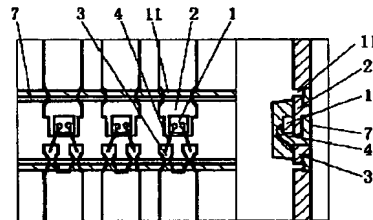
【図10】

図10



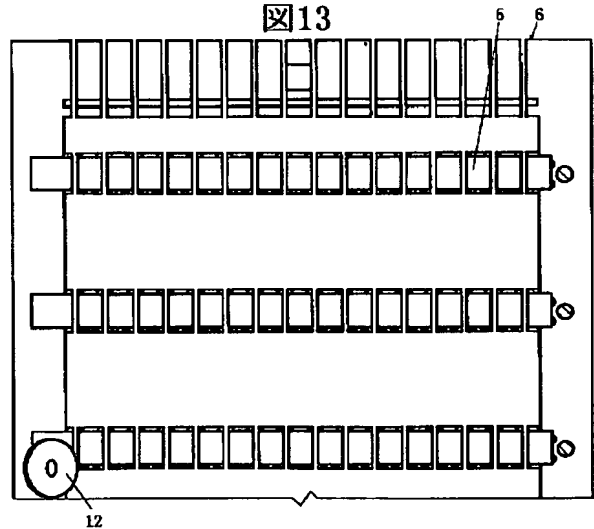
【図11】

図11



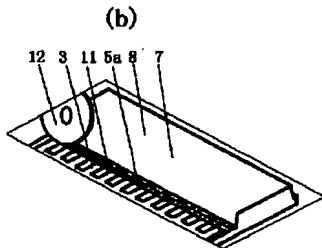
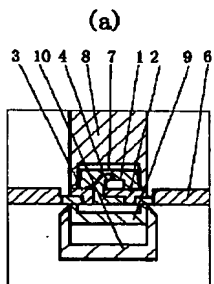
【図13】

図13



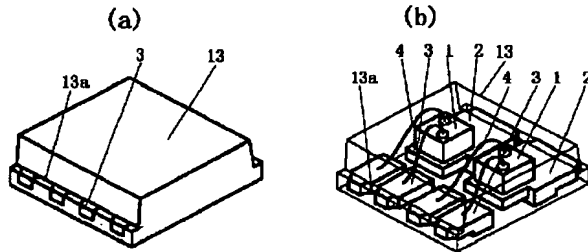
【図12】

図12



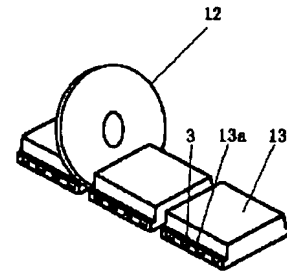
【図15】

図15



【図16】

図16



フロントページの続き

(51) Int. Cl. 7
H 0 1 L 25/18

識別記号

F I

テ-マ-ド (参考)

(72) 発明者 藤田 直樹
群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内

(72) 発明者 三上 昭夫
群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内

F タ-ム (参考) 4M109 AA01 BA01 CA21 DB15 FA04
5F061 AA01 BA01 CA21 CB13 DD12
5F067 AA07 AA09 AB04 BA02 BA08
BB04 BE02 DE02 DE20